

【11】證書號數：I477060

【45】公告日：中華民國 104 (2015) 年 03 月 11 日

【51】Int. Cl.： H03B5/24 (2006.01)

發明

全 4 頁

【54】名稱：具有重疊式多重迴路之電壓控制環型振盪器

VOLTAGE-CONTROLLED RING OSCILLATOR WITH OVERLAPPED
MULTIPLE LOOPS

【21】申請案號：098133471

【22】申請日：中華民國 98 (2009) 年 10 月 02 日

【11】公開編號：201114167

【43】公開日期：中華民國 100 (2011) 年 04 月 16 日

【72】發明人：周肇基 (TW) JOU, JAU JI；林皓宇 (TW) LIN, HAO YU

【71】申請人：國立高雄應用科技大學

NATIONAL KAOHSIUNG

UNIVERSITY OF APPLIED SCIENCES

高雄市三民區建工路 415 號

【74】代理人：顏豪呈

【56】參考文獻：

L. Sun and T. A. Kwasniewski, "A 1.25-GHz 0.35-um monolithic CMOS PLL based on a multiphase ring oscillator," IEEE J. Solid-State Circuits, vol. 36, pp. 910-916, June 2001.

審查人員：廖家興

[57]申請專利範圍

1. 一種具有重疊式多重迴路之電壓控制環型振盪器，其包含：一第一延遲單元，其具有差動輸入端及差動輸出端；一第二延遲單元，其具有差動輸入端及差動輸出端；及一第三延遲單元，其具有差動輸入端及差動輸出端；其中該第一延遲單元之差動輸出端連接至該第二延遲單元之差動輸入端，且該第二延遲單元之差動輸出端連接至該第一延遲單元之差動輸入端，以形成一第一雙級電壓控制環型振盪器；其中該第二延遲單元之差動輸出端連接至該第三延遲單元之差動輸入端，且該第三延遲單元之差動輸出端連接至該第二延遲單元之差動輸入端，以形成一第二雙級電壓控制環型振盪器；其中該第一雙級電壓控制環型振盪器及第二雙級電壓控制環型振盪器共同連接該第二延遲單元；其中該第三延遲單元之差動輸出端不連接至該第一延遲單元之差動輸入端。
2. 依申請專利範圍第 1 項所述之具有重疊式多重迴路之電壓控制環型振盪器，其中該電壓控制環型振盪器另包含一第四延遲單元，其具有差動輸入端及差動輸出端；該第三延遲單元之差動輸出端連接至該第四延遲單元之差動輸入端，且該第四延遲單元之差動輸出端連接至該第三延遲單元之差動輸入端，以形成一第三雙級電壓控制環型振盪器；其中該第二雙級電壓控制環型振盪器及第三雙級電壓控制環型振盪器共同連接該第三延遲單元。
3. 依申請專利範圍第 1 項所述之具有重疊式多重迴路之電壓控制環型振盪器，其中該電壓控制環型振盪器之延遲單元數量 $n \geq 3$ 。
4. 依申請專利範圍第 1 項所述之具有重疊式多重迴路之電壓控制環型振盪器，其中該電壓控制環型振盪器可應用於一鎖相迴路。
5. 一種具有重疊式多重迴路之電壓控制環型振盪器，其包含：一第一雙級電壓控制環型振盪器，其由一第一延遲單元之差動輸出端連接至一第二延遲單元之差動輸入端，且該第二延遲單元之差動輸出端連接至該第一延遲單元之差動輸入端；及一第二雙級電壓控制

(2)

環型振盪器，其由該第二延遲單元之差動輸出端連接至一第三延遲單元之差動輸入端，且該第三延遲單元之差動輸出端連接至該第二延遲單元之差動輸入端；其中第一雙級電壓控制環型振盪器及第二雙級電壓控制環型振盪器共同連接該第二延遲單元；其中該第三延遲單元之差動輸出端不連接至該第一延遲單元之差動輸入端。

6. 依申請專利範圍第 5 項所述之具有重疊式多重迴路之電壓控制環型振盪器，其中該電壓控制環型振盪器另包含一第三雙組合延遲單元組，該第三雙組合延遲單元組由該第三延遲單元之差動輸出端連接至一第四延遲單元之差動輸入端，且該第四延遲單元之差動輸出端連接至該第三延遲單元之差動輸入端；其中該第二雙級電壓控制環型振盪器及第三雙級電壓控制環型振盪器共同連接該第三延遲單元。
7. 依申請專利範圍第 5 項所述之具有重疊式多重迴路之電壓控制環型振盪器，其中該電壓控制環型振盪器之延遲單元數量 $n \geq 3$ 。
8. 依申請專利範圍第 5 項所述之具有重疊式多重迴路之電壓控制環型振盪器，其中該電壓控制環型振盪器可應用於一鎖相迴路。
9. 依申請專利範圍第 1 或 5 項所述之具有重疊式多重迴路之電壓控制環型振盪器，其中該第一雙級電壓控制環型振盪器及第二雙級電壓控制環型振盪器利用該第二延遲單元形成重疊構造。
10. 依申請專利範圍第 1 或 5 項所述之具有重疊式多重迴路之電壓控制環型振盪器，其中該電壓控制環型振盪器隨著該延遲單元之級數增加，而相對增加其振盪頻率。

圖式簡單說明

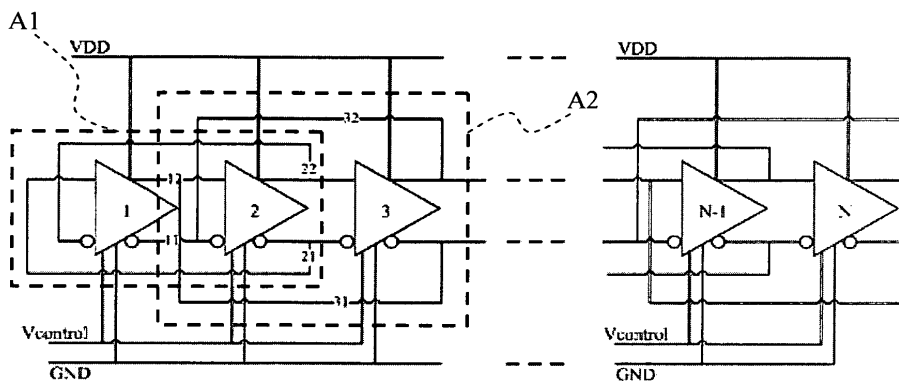
第 1 圖：本發明較佳實施例之具有重疊式多重迴路之電壓控制環型振盪器之示意圖。

第 2 圖：本發明較佳實施例之具有重疊式多重迴路之電壓控制環型振盪器選擇採用延遲單元之架構示意圖。

第 3 圖：本發明較佳實施例之具有重疊式多重迴路之電壓控制環型振盪器在各級延遲單元模擬產生之振盪頻率與控制電壓之關係曲線圖。

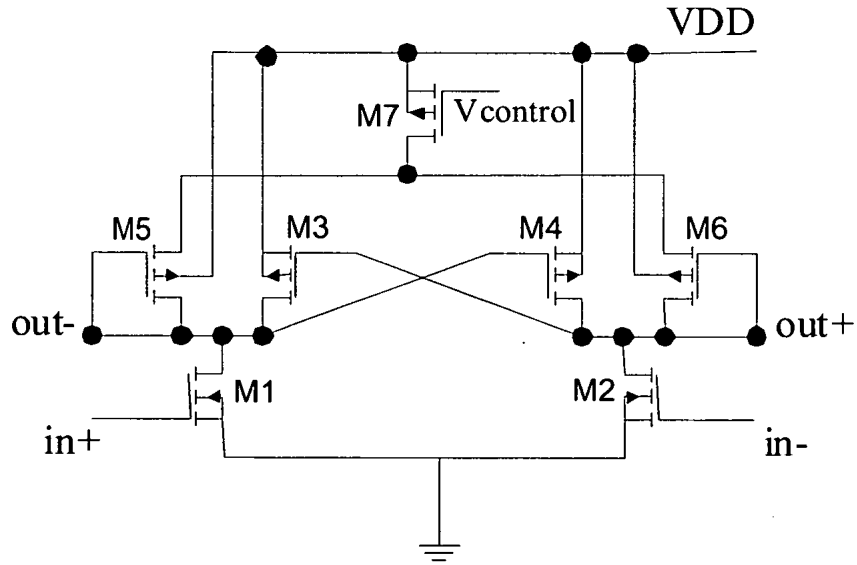
第 4 圖：本發明較佳實施例之具有重疊式多重迴路之電壓控制環型振盪器在各級延遲單元模擬產生之相位雜訊與控制電壓之關係曲線圖。

第 5 圖：本發明較佳實施例之具有重疊式多重迴路之電壓控制環型振盪器在各級延遲單元模擬產生之峰對峰值與控制電壓之關係曲線圖。

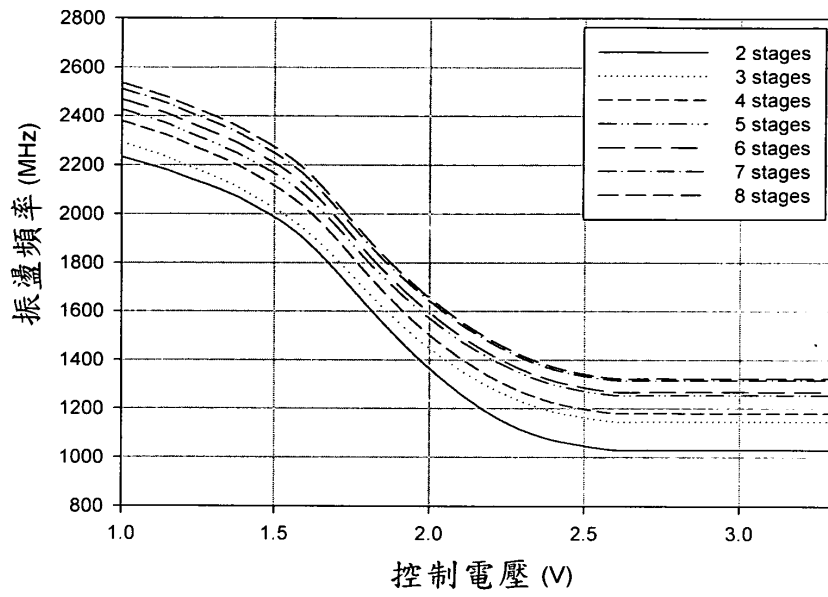


第 1 圖

(3)

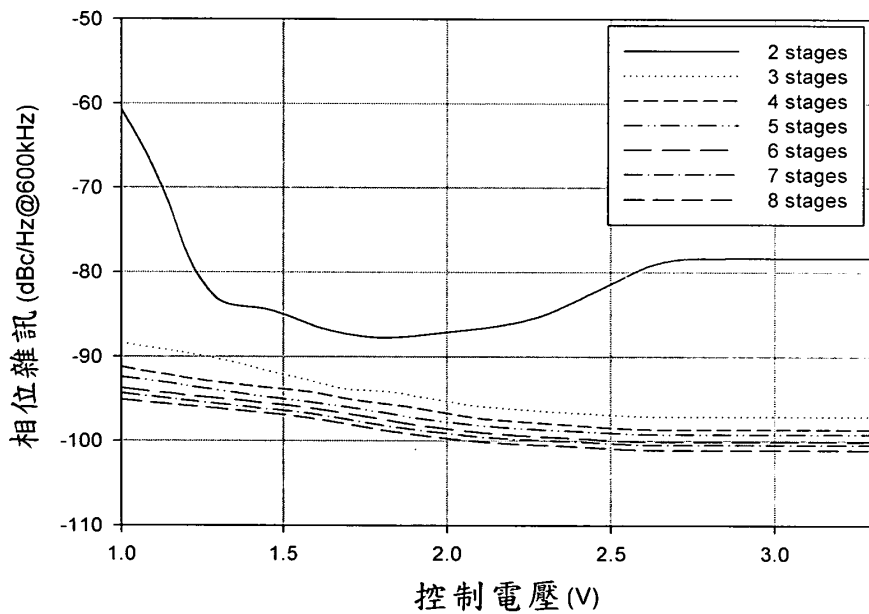


第2圖

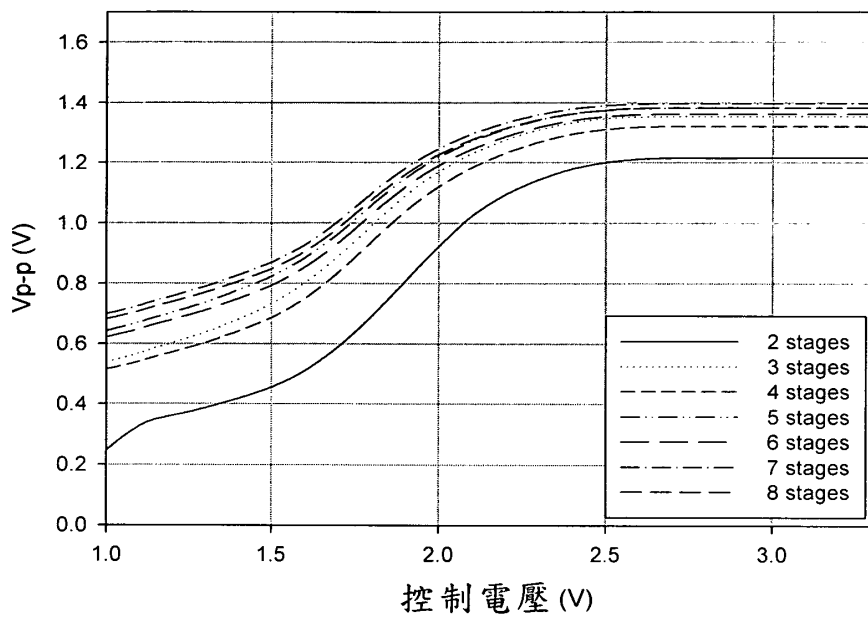


第3圖

(4)



第4圖



第5圖