

【11】證書號數：I464813

【45】公告日：中華民國 103 (2014) 年 12 月 11 日

【51】Int. Cl. : H01L21/56 (2006.01)

發明

全 10 頁

【54】名稱：對稱型電容補償式高速罐型光封裝模組

A HIGH-SPEED TO-CAN OPTICAL PACKAGE MODULE USING  
SYMMETRICAL PATTERN AND CAPACITIVE COMPENSATION  
TECHNOLOGY

【21】申請案號：101114892

【22】申請日：中華民國 101 (2012) 年 04 月 26 日

【11】公開編號：201344809

【43】公開日期：中華民國 102 (2013) 年 11 月 01 日

【72】發明人：施天從 (TW) SHIH, TIEN TSORNG；朱訓賢 (TW) CHU, SHUN SHIEN；曾培豪 (TW) TSENG, PEI HAO；周肇基 (TW) JOU, JAU JI；詹正義 (TW) JAN, JEN YEA

【71】申請人：國立高雄應用科技大學

NATIONAL KAOHSIUNG

UNIVERSITY OF APPLIED SCIENCES

高雄市三民區建工路 415 號

【74】代理人：高玉駿；楊祺雄

【56】參考文獻：

TW I278944

TW 200524136

EP 1523077A1

US 2005/0156151A1

US 2007/0120134A1

審查人員：王安邦

## [57]申請專利範圍

1. 一種對稱性電容補償式高速罐型光封裝模組，包含：一座本體，包括一第一表面、一相反於該第一表面的第二表面，及二自該第一表面向該第二表面形成的穿孔，其中，該第一表面的中心與該二穿孔的中心呈以該第一表面的中心為頂點的等腰三角形；二圓柱電極，每一圓柱電極包括一填置於該座本體的其中一穿孔的介電材，及一與該介電材共軸地穿設過該介電材的電接腳；一基板，對稱於該二圓柱電極地設置於該第一表面，包括一遠離該第一表面的構裝面，及二彼此相對形成在該構裝面並具有預定阻抗值的對稱微帶線，每一對稱微帶線具有一較靠近該第一表面中心的第一矩形部，及一與該第一矩形部的一遠離該第一表面中心的長邊形成長邊重合且自該第一矩形部的一短邊往遠離該第一表面中心方向延伸的第二矩形部，其中，該二對稱微帶線的第一矩形部較靠近該第一表面中心的長邊間距大於第二矩形部較靠近該第一表面中心的長邊間距，並令該二對稱微帶線的第二矩形部形成補償耦合電容；一光發射元件，以該第一表面的中心為中心而設置於該基板的構裝面並在提供電訊號時產生預定頻域的單色光訊號，且特性阻抗與該二對稱微帶線的第一矩形部的阻抗相匹配，其中，該光發射元件向該第一表面的投影涵蓋該二對稱微帶線的第一矩形部的部分區域；及複數電連接線，預定數目的電連接線分別電連接該光發射元件與該二對稱微帶線的第一矩形部，其它的電連接線分別電連接該二對稱微帶線的第二矩形部與該二圓柱電極的電接腳。
2. 根據申請專利範圍第 1 項所述的對稱型電容補償式高速罐型光封裝模組，其中，該座本體的第一表面是圓形。

(2)

3. 根據申請專利範圍第 2 項所述的對稱型電容補償式高速罐型光封裝模組，其中，該第一表面的中心與該二穿孔的中心呈以該第一表面的中心為頂點且頂角為鈍角的等腰三角形。
4. 根據申請專利範圍第 3 項所述的對稱型電容補償式高速罐型光封裝模組，其中，該座本體的第二表面是大於該第一表面的圓形。
5. 根據申請專利範圍第 4 項所述的對稱型電容補償式高速罐型光封裝模組，其中，該座本體還包括二自該第一表面向該第二表面形成並位於該二穿孔連線的另一側的訊號穿孔，其中，該第一表面的中心與該二訊號穿孔的中心呈以該第一表面的中心為頂點的等腰三角形；該對稱性電容補償式高速罐型光封裝模組還包含二分別設置於該訊號穿孔內的圓柱電極、一設置於該基板的構裝面的光接收元件，及複數電連接線，該二圓柱電極分別包括一填置於該其中一訊號穿孔的介電材，及一與該介電材共軸地穿設過該介電材的電接腳，該等電連接線電連接該光接收元件與該二電接腳。

#### 圖式簡單說明

圖 1 是一示意圖，說明現有的高速罐型光封裝模組；

圖 2 是一電路圖，說明現有的高速罐型光封裝模組接上文獻【Y. Ou, J. S. Gustavsson, P. Westbergh, Å. Haglund, A. Larsson, and A. Joel, "Impedance Characteristics and Parasitic Speed Limitations of High-Speed 850-nm VCSELs," IEEE PHOTONICS TECHNOLOGY LETTERS, VOL. 21, NO. 24, DECEMBER 15, 2009】提供的第一等效電路而形成用於量測 3dB 頻寬的傳輸量的模擬電路；

圖 3 是一電路圖，說明現有的高速罐型光封裝模組接上文獻【Chao-Kun Lin, Ashish Tandon, Kostadin Djordjev, Scott W. Corzine, and Michael R. T. Tan "High-Speed 985 nm Bottom-Emitting VCSEL Arrays for Chip-to-Chip Parallel Optical Interconnects," IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS, VOL. 13, NO. 5, SEPTEMBER/OCTOBER 2007】提供的第二等效電路而形成用於量測 3dB 頻寬的傳輸量的模擬電路；

圖 4 是一嵌入損失(insertion loss)與頻率(frequency)的關係圖，說明圖 2 所示的模擬電路於 3dB 頻寬的傳輸量表現；

圖 5 是一嵌入損耗(insertion loss)與頻率(frequency)的關係圖，說明圖 3 所示的模擬電路於 3dB 頻寬的傳輸量表現；

圖 6 是一示意圖，說明本發明對稱型電容補償式高速罐型光封裝模組的一較佳實施例；

圖 7 是一嵌入損失(insertion loss)與頻率(frequency)的關係圖，說明圖 6 所示本發明對稱型電容補償式高速罐型光封裝模組的較佳實施例接上文獻【Y. Ou, J. S. Gustavsson, P. Westbergh, Å. Haglund, A. Larsson, and A. Joel, "Impedance Characteristics and Parasitic Speed Limitations of High-Speed 850-nm VCSELs," IEEE PHOTONICS TECHNOLOGY LETTERS, VOL. 21, NO. 24, DECEMBER 15, 2009】提供的第一等效電路而形成用於量測 3dB 頻寬的傳輸量的模擬電路時於 3dB 頻寬的傳輸量表現；

圖 8 是一嵌入損失(insertion loss)與頻率(frequency)的關係圖，說明圖 6 所示本發明對稱型電容補償式高速罐型光封裝模組的較佳實施例接上文獻【Chao-Kun Lin, Ashish Tandon, Kostadin Djordjev, Scott W. Corzine, and Michael R. T. Tan "High-Speed 985 nm Bottom-Emitting VCSEL Arrays for Chip-to-Chip Parallel Optical Interconnects," IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS, VOL. 13, NO. 5, SEPTEMBER/OCTOBER 2007】提供的第二等效電路而形成用於量測 3dB 頻寬的傳輸量的模擬電路時於 3dB 頻寬的傳輸量表現；

圖 9 是一模擬測試結果圖，說明現有的高速罐型光封裝模組接上文獻【Chao-Kun Lin, Ashish Tandon, Kostadin Djordjev, Scott W. Corzine, and Michael R. T. Tan "High-Speed 985 nm Bottom-Emitting VCSEL Arrays for Chip-to-Chip Parallel Optical Interconnects," IEEE JOURNAL OF

SELECTED TOPICS IN QUANTUM ELECTRONICS, VOL. 13, NO. 5, SEPTEMBER/OCTOBER 2007】提供的第二等效電路而形成用於量測 3dB 頻寬的傳輸量的模擬電路在負載 50Ω、21Gbit/s 的眼圖訊號；

圖 10 是一模擬測試結果圖，說明本發明對稱型電容補償式高速罐型光封裝模組的較佳實施例接上文獻【Chao-Kun Lin, Ashish Tandon, Kostadin Djordjev, Scott W. Corzine, and Michael R. T. Tan “High-Speed 985 nm Bottom-Emitting VCSEL Arrays for Chip-to-Chip Parallel Optical Interconnects,” IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS, VOL. 13, NO. 5, SEPTEMBER/OCTOBER 2007】提供的第二等效電路而形成用於量測 3dB 頻寬的傳輸量的模擬電路在負載 50Ω、21Gbit/s 的眼圖訊號；

圖 11 是一模擬測試結果圖，說明本發明對稱型電容補償式高速罐型光封裝模組的較佳實施例接上文獻【Chao-Kun Lin, Ashish Tandon, Kostadin Djordjev, Scott W. Corzine, and Michael R. T. Tan “High-Speed 985 nm Bottom-Emitting VCSEL Arrays for Chip-to-Chip Parallel Optical Interconnects,” IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS, VOL. 13, NO. 5, SEPTEMBER/OCTOBER 2007】提供的第二等效電路而形成用於量測 3dB 頻寬的傳輸量的模擬電路在負載 50Ω、25Gbit/s 的眼圖訊號；及

圖 12 是一模擬測試結果圖，說明本發明對稱型電容補償式高速罐型光封裝模組的較佳實施例接上文獻【Chao-Kun Lin, Ashish Tandon, Kostadin Djordjev, Scott W. Corzine, and Michael R. T. Tan “High-Speed 985 nm Bottom-Emitting VCSEL Arrays for Chip-to-Chip Parallel Optical Interconnects,” IEEE JOURNAL OF SELECTED TOPICS IN QUANTUM ELECTRONICS, VOL. 13, NO. 5, SEPTEMBER/OCTOBER 2007】提供的第二等效電路而形成用於量測 3dB 頻寬的傳輸量的模擬電路在負載 50Ω、28Gbit/s 的眼圖訊號。

(4)

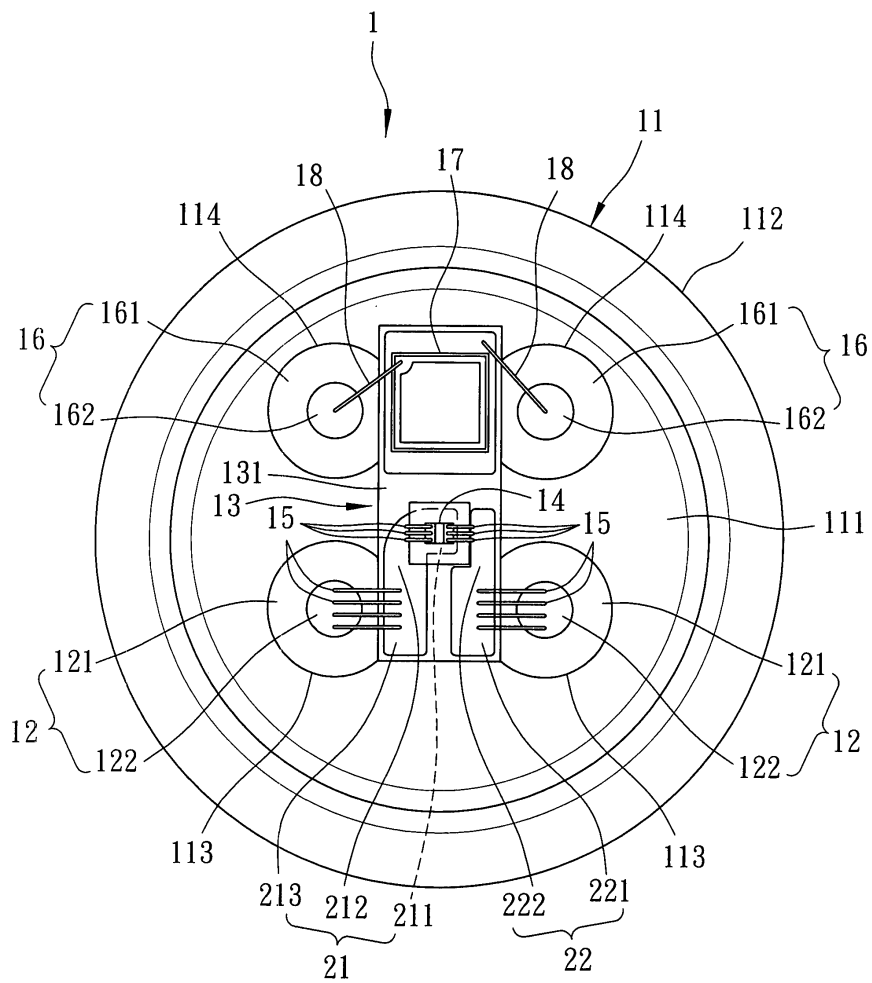


圖 1

(5)

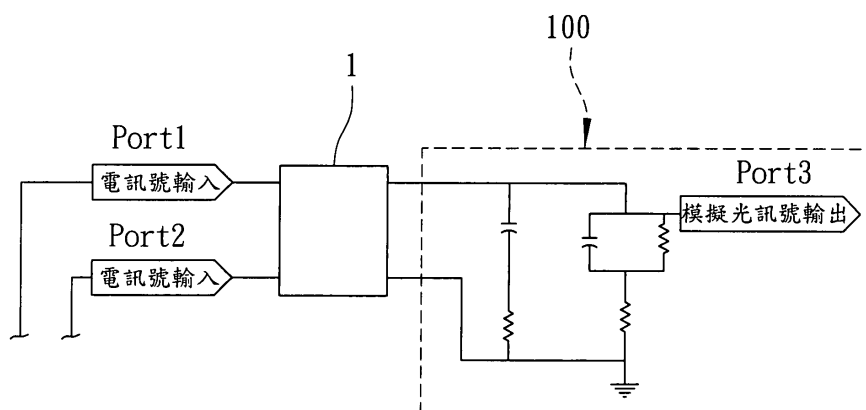


圖 2

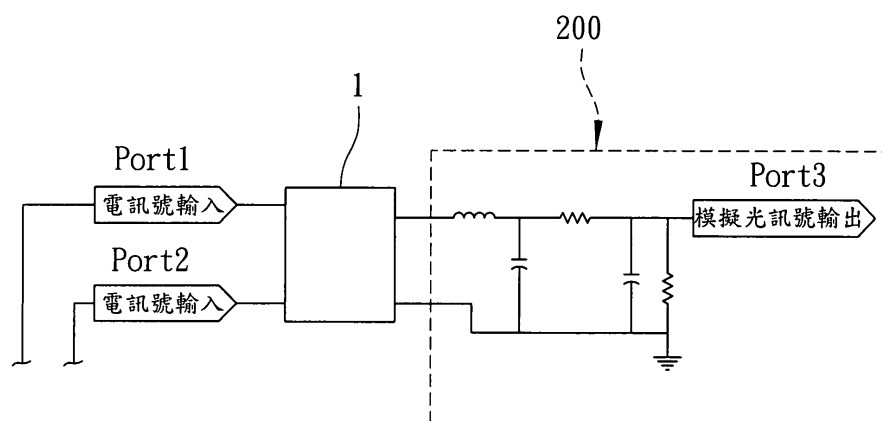


圖 3

(6)

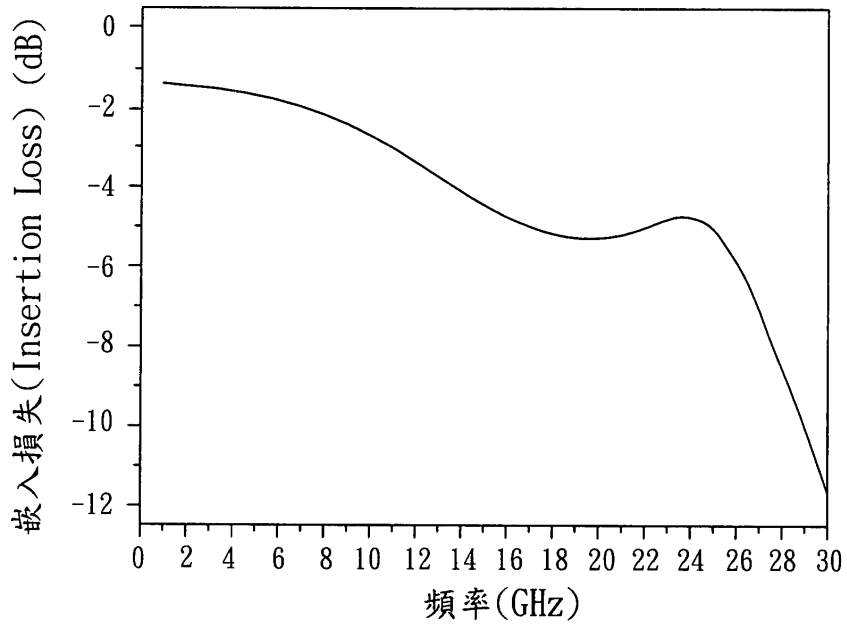


圖 4

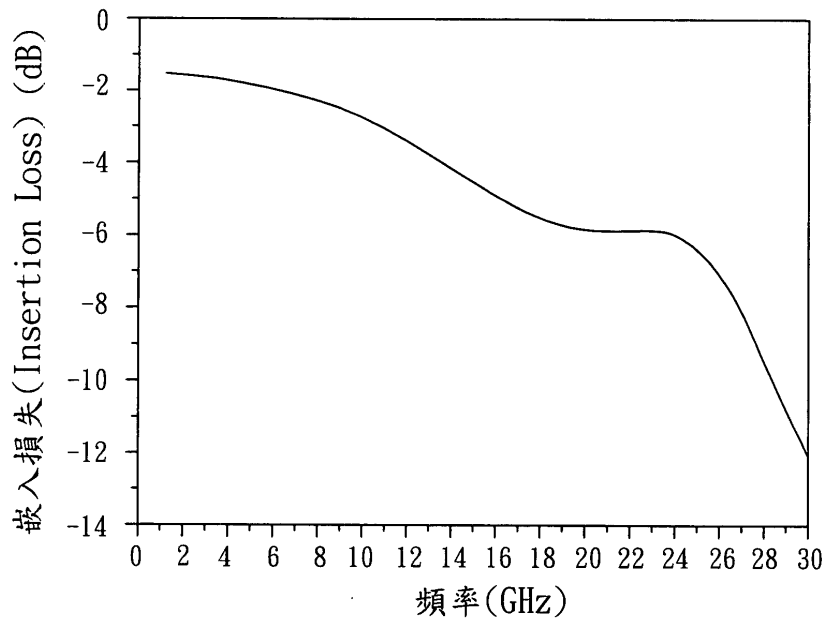


圖 5

(7)

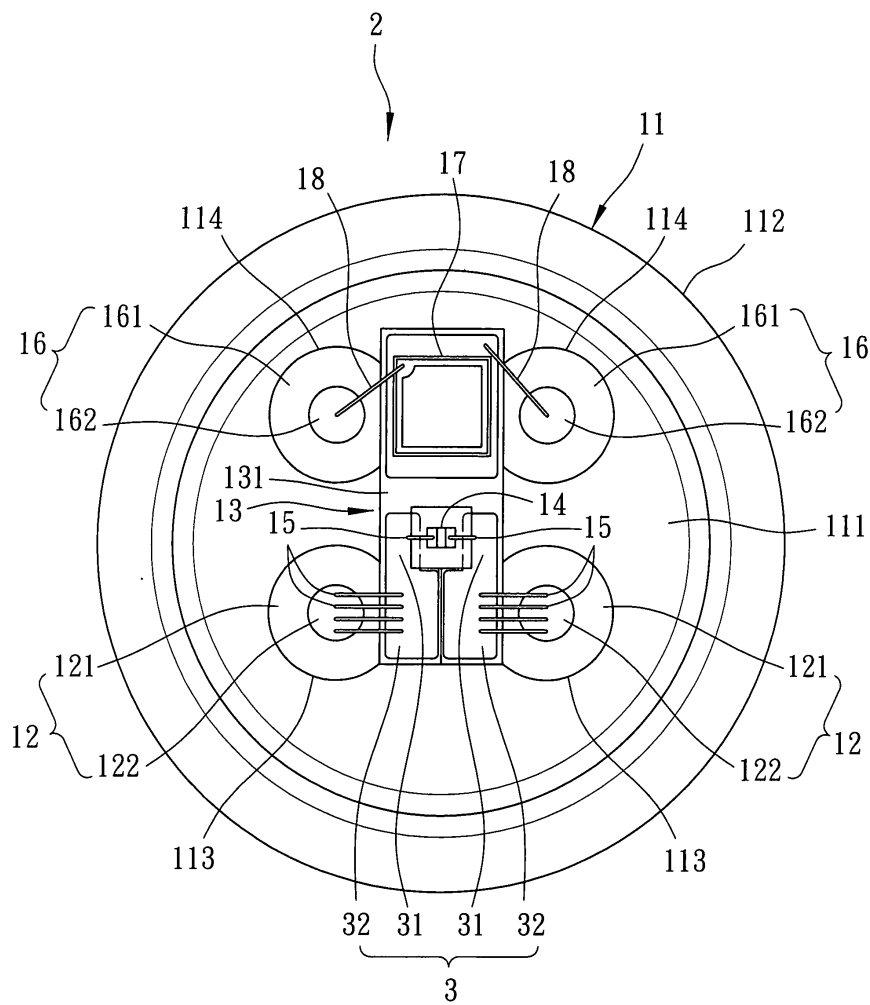


圖 6

(8)

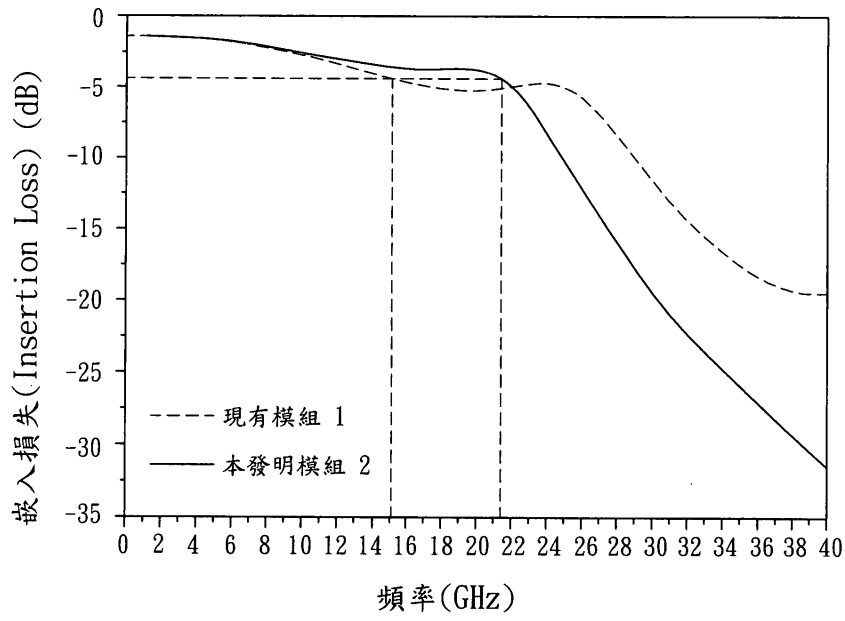


圖 7

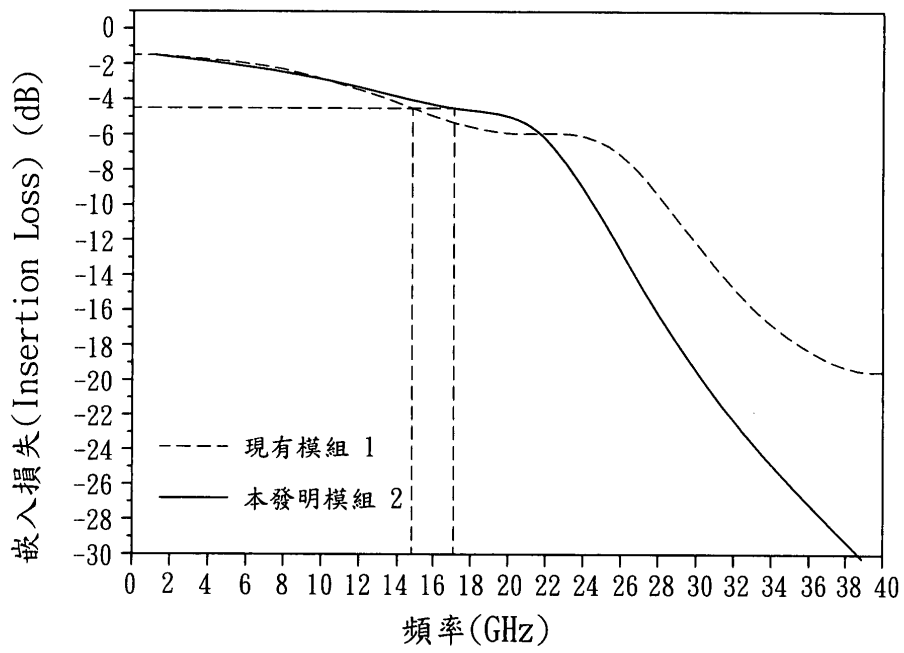


圖 8



(9)

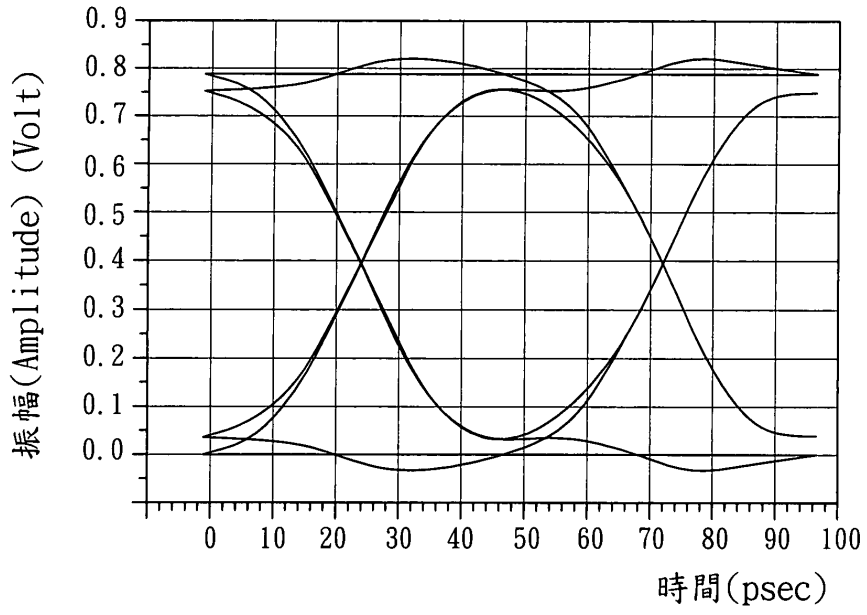


圖 9

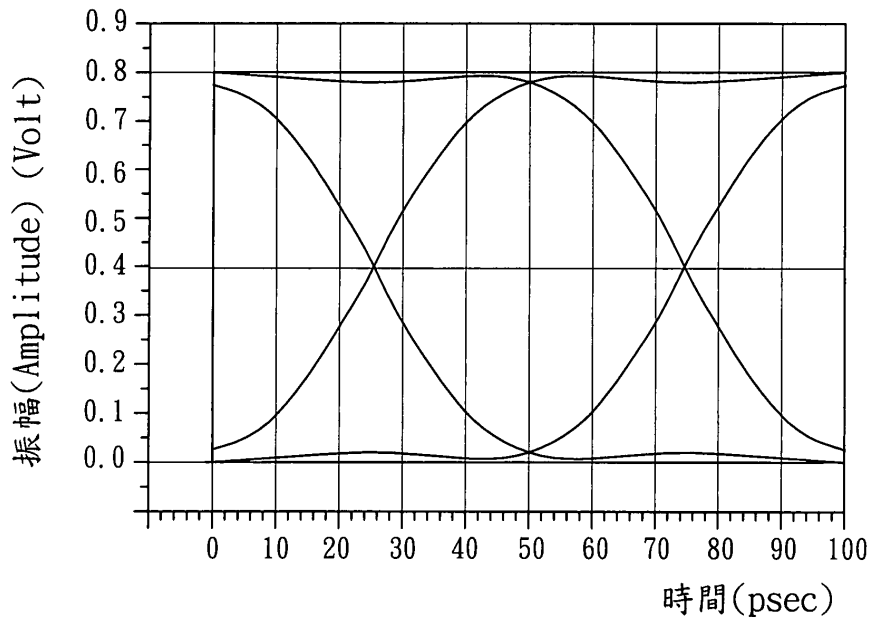


圖 10

(10)

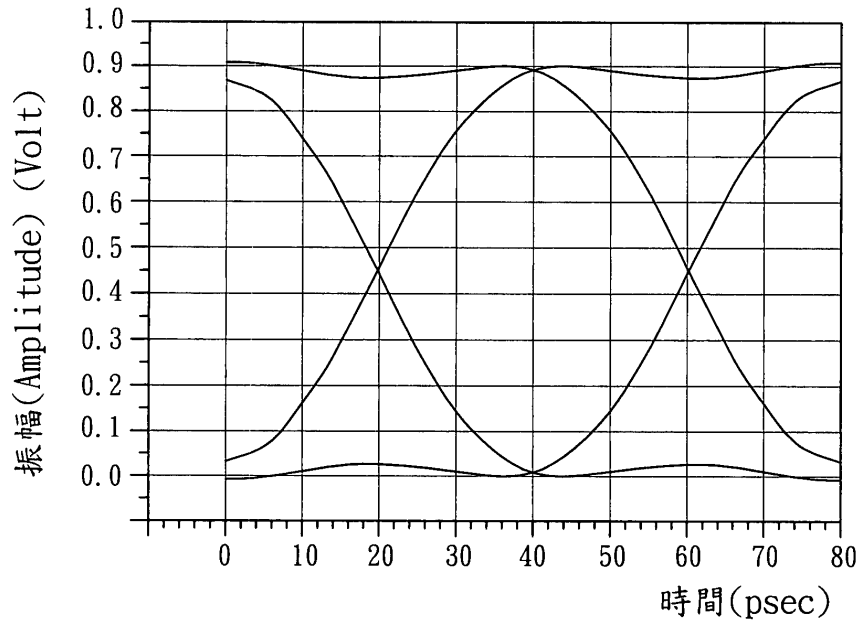


圖 11

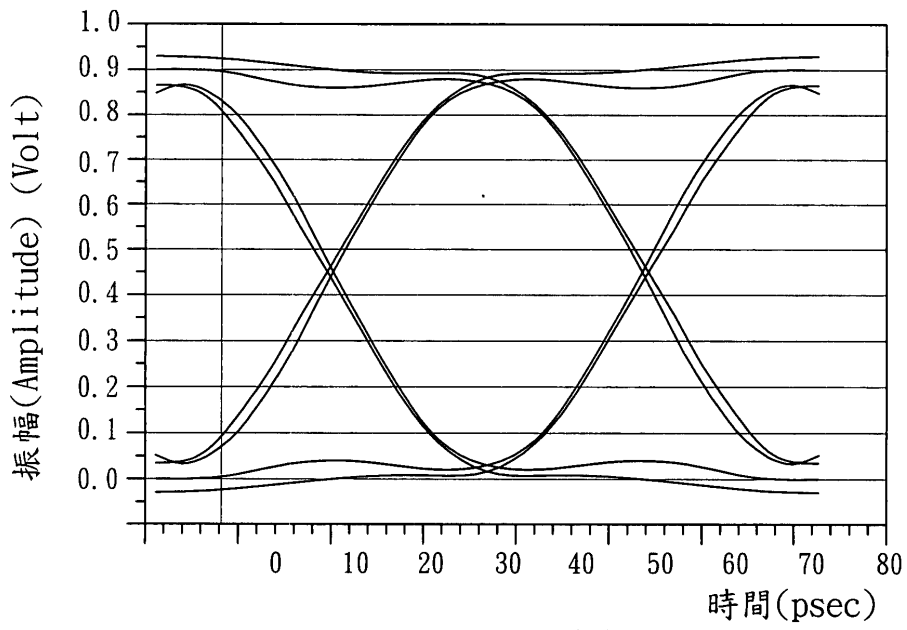


圖 12